

526,048

Rec'd PCT/PTO 28 FEB 2005

(12)特許協力条約に基づいて公開された国際

10/526048

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年4月29日 (29.04.2004)

PCT

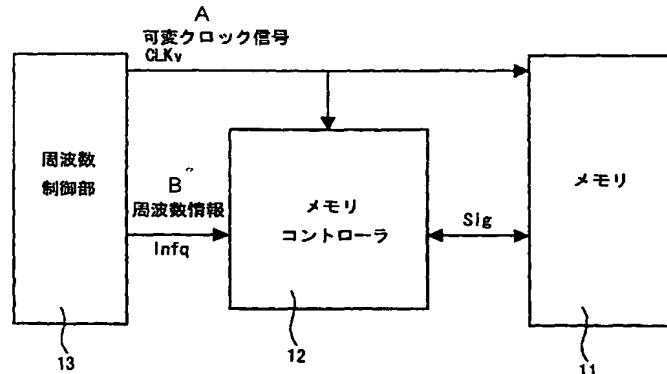
(10) 国際公開番号
WO 2004/036430 A1

- (51) 国際特許分類: G06F 12/00, 1/04 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 下山 健 (SHI-MOYAMA, Takeshi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/012824
- (22) 国際出願日: 2003年10月7日 (07.10.2003)
- (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (81) 指定国 (国内): CN, KR, US.
- (30) 優先権データ:
特願 2002-304533
2002年10月18日 (18.10.2002) JP
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: INFORMATION PROCESSING DEVICE USING VARIABLE OPERATION FREQUENCY

(54) 発明の名称: 動作周波数可変の情報処理装置



A... VARIABLE CLOCK SIGNAL CLKv
13... FREQUENCY CONTROL SECTION
B... FREQUENCY INFORMATION Infq
12... MEMORY CONTROLLER
11... MEMORY

(57) Abstract: An information processing device and an information processing method capable of realizing an optimal signal processing without lowering the performance even when using variable operation frequency. The information processing device includes a frequency information calculation section (12) for adding a signal cycle corresponding to the frequency information Inf of the synchronous clock CLKv having a variable frequency and an information processing section supplied with the synchronous clock as a synchronous clock and performs the information processing when the result of addition performed by the frequency information calculation section (12) satisfies a predetermined condition. Thus, it is possible to perform an optimal processing without causing an unnecessary time wait.

[続葉有]

WO 2004/036430 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

可変とされる動作周波数を利用した場合でも性能の低下を招かず最適な信号処理が実現される情報処理装置や情報処理方法を提供する。

周波数が可変とされる同期クロック CLK_vの周波数情報 Infに対応した信号周期を加算処理する周波数情報演算部(12)と、前記同期クロックが同期用クロックとして供給されると共に前記周波数情報演算部(12)で加算処理された結果が、所定の条件を満たししだい、情報処理を行う情報処理部とを設け、無駄な時間待ちなどを省いた最適化した処理を進める。

明 細 書

情報処理装置、情報記憶装置、情報処理方法、及び情報処理プログラム

5

技術分野

本発明は所要の同期クロックが供給されて動作するメモリ装置、その他のデバイスなどの情報処理装置、情報記憶装置、情報処理方法、及び情報処理プログラムに関し、特に同期クロックの周波数に変化した場合

10 でも最適な信号処理動作を実現し得るための情報処理装置、情報記憶装置、情報処理方法、及び情報処理プログラムに関する。

背景技術

パーソナルコンピュータやPDA（Personal Digital Assistance）な

15 どの電子機器は、そのシステム構成として複数のLSI（Large-Scale Integrated Circuit）を内部に配設し、それらLSIの信号の入出力や信号処理に同期クロックを用いているものが広く利用されている。一般に同期動作を行うところは、その信号の周波数に比例して全体の動作速度が決まるように構成されており、このような同期動作を行う素子とし

20 ては、CPU（Central Processing Unit）やメモリ、ノースブリッジなどが挙げられる。

一方、常に一定の動作周波数ではなく、装置の動作周波数を可変とする例も知られている。例えば、パーソナルコンピュータ、PDA、携帯電話機などの電子機器では、使用状態に応じて必要な動作だけをするよ

25 うに工夫されてきており、例えば待機時やスリープモードの際には、動作周波数を低く制御して低消費電力化を図り、通話時や動画像の信号処

理時には動作周波数を高くして高速な演算処理を実現するシステムも増加してきている（例えば、特開 2 0 0 0 - 1 6 3 9 6 5 号公報参照。）。

このような動作周波数を可変とするシステムは、その可変な動作周波数がクロックとして供給される領域が、通常、周波数を変更してはいけ
5 ない固定周波数の部分とは切り離されており、動作周波数を変化させた場合でも固定周波数で動作する領域には悪影響が現れないように構成されている。

しかしながら、上述の可変とされる動作周波数の信号をそのまま同期信号として用いる情報処理装置では、高い周波数であっても低い周波数
10 でも安定した動作が実現されることが求められており、一般に高い周波数でも、すなわち短いクロック間隔でも動作を保証するように設計した場合で逆に低い周波数で動作させた場合では、その信号処理の性能は低下した周波数に比例したものになってしまう。このような単純な動作速度の低減によっても低消費電力化が可能ではあるが、最適化されて制御
15 されているとは言い難く、さらなる高性能な制御が求められている。

そこで、本発明は、上述の技術的な課題に鑑み、可変とされる動作周波数を利用した場合でも性能の低下を招かず最適な信号処理が実現される情報処理装置、情報記憶装置、情報処理方法、及び情報処理プログラムの提供を目的とする。

20 発明の開示

上述の技術的な課題を解決するため、本発明の情報処理装置は、周波数が可変とされる同期クロックの周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作用のクロックとして供給されると
25 共に前記周波数情報演算部で演算処理された結果に応じたタイミングで情報処理を行う情報処理部とを有することを特徴とする。

本発明の情報処理装置によれば、周波数情報演算部には周波数が可変とされる同期クロックの周波数情報が入力され、当該周波数情報演算部で周波数情報の加算処理やデコードなどの演算処理が行われる。この演算処理結果に応じて情報処理部では所要の情報処理が行われるが、既に
5 周波数情報が情報処理部では得られており、無駄な時間待ちなどを省いた最適化した処理を進めることができる。

また、本発明の情報記憶装置は、周波数が可変とされる同期クロックの周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングを利用して情報記憶動作を行う情報記憶部とを有することを特徴とする。
10

本発明の情報記憶装置によれば、同様に周波数情報演算部には周波数が可変とされる同期クロックの周波数情報が入力され、当該周波数情報演算部で周波数情報の加算処理やデコードなどの演算処理が行われる。
15 この演算処理結果は、当該情報記憶装置では、情報記憶処理に用いられ、同様に、無駄な時間待ちなどを省いた最適化した処理を進めることができる。

図面の簡単な説明

20 図1は、本発明の情報処理装置の一例を示すブロック図である。

図2は、メモリ装置の動作を説明するタイムチャートであって、(A)は固定クロックの場合の動作、(B)は可変なクロック周波数の信号にそのまま固定したタイミングで動作させる場合の動作、(C)は周波数情報から計算する場合の動作のそれぞれタイムチャートである。

25 図3は、周波数情報の例を示すタイムチャートであって、(A)は周波数情報が現在の動作クロック信号CLK_vの周波数を示す場合のタイムチ

ャートであり、(B)は周波数情報が動作クロック信号CLKvの周波数の変化に先行して次のクロックの周波数を指標する場合のタイムチャートである。

図4Aと図4Bは、周波数情報のエンコード方法の例を示すテーブルであって、(A)は2ビットで指標する例であり、(B)は周期に比例した値のデータを用いる例である。

図5は、本発明の情報処理装置の一例として、メモリコントローラとSDRAMを用いた場合のブロック図である。

図6は、図5のSDRAMの信号とコマンドの対応表の一例を示すテーブルである。

図7は、本発明の情報処理装置の一例として、PDAにメモリコントローラとメモリを組み込んだ例を示すブロック図である。

図8は、本発明の情報処理方法の一例として、SDRAMにおいてセンスアンプのデータにかかるアドレスの一致を見ながら処理する場合の流れ図である。

図9は、本発明の情報処理方法の一例として、待ち時間の演算処理を周波数情報に基づいて行う場合のサブルーチンの一例を示す流れ図である。

図10Aと図10Bは、本発明の情報処理装置の一例における他の情報処理方法の例を示すタイムチャートである。

発明を実施するための最良の形態

本発明の情報処理装置の一例として情報記憶装置であるメモリ装置の例について図面を参照しながら説明する。本実施の形態のメモリ装置は、SDRAM (Synchronous Dynamic Random Access Memory) からなるメモリ11と、その制御のためのメモリコントローラ12と、周波数情報Infqを

出力する周波数制御部 13 とを主な構成としている。

メモリ 11 は、本実施の形態においては、シンクロナス（同期型）DRAM であり、はじめに読み出し開始アドレスを入力すれば、クロック信号CLKv に同期してデータを連続的に出力することができ、比較的的高速なデータ送出が可能である。特に、本実施の形態では、クロック信号CLKvは可変であり、一例を示せば10MHz、33MHz、50MHz、100MHz、133MHzなどのクロック周波数を当該情報処理装置の使用状態や当該情報処理装置が搭載される電子機器の状態に応じて切り替えるように構成されている。可変なクロック信号CLKvは、システムのCPUの外部クロックである所謂ベースクロック自体であっても良く、当該メモリ11の制御専用生成されるクロック信号であっても良い。この可変なクロック信号CLKvは、周波数制御部13から送出されるが、他の周波数発生回路系から直接供給されるものであっても良い。なお、メモリ11の具体的な構造例については、後述するが、メモリ11とメモリコントローラ12が別のチップとされる構成であっても良く、メモリ11はメモリコアとされ、メモリコントローラ12と同じチップ内に設けられていても良い。メモリ11にはこのような可変なクロック信号CLKvが供給されると共に、メモリコントローラ12からの制御信号Sigや、図示しないロウアドレス、カラムアドレス、データ入出力などの信号線が接続する。また、本実施の形態では、メモリ11はシンクロナスDRAMであるが、通常のDRAMやファーストページDRAM、EDO DRAM (Extended Data Out Dynamic Random Access Memory) などであっても良く、SDRAMもDDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory) であっても良く、DRDRAM (Direct Rambus Dynamic Random Access Memory) などのメモリでも良い。さらに、メモリ11はDRAMに限らず、SRAM (Static Random Access Memory) やROM (Read-Only Memory)、フラッシュメモリなどで

あっても良い。また、本明細書においてメモリを含んで構成されるメモリ装置若しくは情報処理装置としては、メモリ部を内蔵したマイコンやその他の信号処理チップなどであっても良い。

メモリコントローラ 12 はメモリ 11 の動作を制御するための制御信号 Sig を出力するためのデバイスであり、制御信号 Sig は CS (チップセレクト)、RAS (ロウアドレスストローブ)、CAS (カラムアドレスストローブ)、WE (ライトイネーブル)、CKE などの各種信号を総称したものであり、複数の信号からなる信号群を意味する。このメモリコントローラ 12 にも可変なクロック信号 CLKv が供給され、制御信号 Sig の出力タイミングを同期させるようにしている。更に、このメモリコントローラ 12 では、周波数制御部 13 からの周波数情報 Infq が入力されており、この周波数情報 Infq に、クロック信号 CLKv に関する周波数の情報が含まれる。この周波数情報 Infq は現在のクロック信号 CLKv についての情報とすることができるが、時間軸上先のクロック信号 CLKv についての周波数情報 Infq であっても良い。一例として周波数情報 Infq はコード化されており、コード化の例については後述する。また、周波数情報 Infq は可変なクロック信号 CLKv 自体やその線形変換した情報であっても良い。メモリコントローラ 12 では、入力した周波数情報 Infq を用いて演算処理が行われ、後述するような演算結果を反映したメモリ 11 の最適な制御が行われる。

周波数制御部 13 は周波数情報 Infq を出力する回路部であり、本実施の形態では可変なクロック信号 CLKv も当該周波数制御部 13 から出力されるように構成される。周波数制御部 13 は CPU などからのコマンドに応じて、発生させるクロック信号 CLKv の周波数を変えられるように構成されており、例えば、ソフトオフ時、待機時、スリープモード時などでは動作クロックを落として電力消費を低下させることが可能となる。この周波数制御部 13 もメモリ 11 やメモリコントローラ 12 と同じチップ

とする構成でも良く、それぞれ別個のチップとしても良い。

図 2 は本実施の形態のメモリ装置の動作を説明するタイムチャートであり、図 2 の (A) は 1 0 0 M H z の固定した周波数でのメモリ 1 1 のリード (読み出し) 動作を示す図であり、図 2 の (B) は比較例の動作を示す図であって、可変な周波数にそのまま固定したタイミングで動作させる場合の処理を示す図であり、図 2 の (C) は周波数情報から計算する制御方法の例である。図 2 の (A) ~ (C) において信号 CLK は固定クロック信号であり、信号 CLK_v は可変クロック信号であり、コマンド

(Command) 信号の部分の中、“A” はアクティベート動作、“R” はリード動作、“P” はプリチャージ動作のそれぞれコマンド発行の期間を示す。

SDRAM の制御においては、通常、アクティベート動作からプリチャージ動作までの時間である T_{ras} (RAS アクティベート時間)、アクティベート動作からリード動作までの時間である T_{rcd} (RAS-CAS 遅延時間)、プリチャージ動作からアクティベート動作までの時間である T_{rp} (プリチャージ時間) などのパラメータがあり、コマンド発行には最低でもこれらの時間だけ待つ必要があり、待たない場合には動作保証されないことになる。

ここで本実施の形態における可変周波数のクロック信号に応じた動作を説明する前に、周波数が増えない固定周波数の場合について簡単に説明すると、動作クロックの周波数が所定の周波数に固定の場合、その最適化は比較的容易なものとなる。すなわち、図 2 の (A) に示すように、1 0 0 M H z の固定周波数で動作させる場合には、当該 SDRAM の時間パラメータ { T_{ras} , T_{rcd} , T_{rp} } が { 40ns, 20ns, 20ns }、C A S レイテンシーが 2 である時では、RAS アクティベート時間 T_{ras} が 4 クロック、RAS-CAS 遅延時間 T_{rcd} が 2 クロック、プリチャージ時間 T_{rp} が 2 クロックのそれぞれ待ち時間となり、この 1 0 0 M H z の固定周波数での動作では最適に制御されている。

ところが、動作クロックの周波数を可変とした場合に、そのまま固定周波数の制御方式を用いたときでは、1クロックの期間が長くなった低周波数部分で余分な時間待ちが生じ、これが全体としては性能の低下をもたらす。すなわち、図2の(B)に示すように、最初のアクティベート動作("A")のコマンド発行のクロックの立ち上がりで開始するRASアクティベート時間 T_{ras} は4クロック分の期間のままであり、図2の(B)では最初の2クロックの周波数が50MHzという半分のクロック周波数であるため、本来必要な待ち時間は過ぎているにも拘わらず、丁度100MHzの2クロック分だけ長いRASアクティベート時間 T_{ras} となってしまう。次のアクティベート動作("A")のRASアクティベート時間 T_{ras} は、100MHzの3クロック分だけ長いRASアクティベート時間 T_{ras} となってしまう。同様にRAS-CAS遅延時間 T_{rcd} 、プリチャージ時間 T_{rp} も動作クロック周波数の変化に応じて余分な待ち時間が生じてしまう。

そこで、本実施の形態のメモリ装置では、動作クロックの周波数が変化した場合でも、周波数情報 $Infq$ が用いられて的確な演算処理が行われ、図2の(C)に示すように、その周波数に応じた信号処理が行われる。すなわち、メモリコントローラ12には、図1に示したように周波数制御部13から周波数情報 $Infq$ がデータとして送出されており、このメモリコントローラ12ではクロック信号の周期を算出できる。従って、余分にコマンド発行のタイミングが待たされる場合には、その前にメモリコントローラ12からメモリ13に対してコマンドを発行し、無駄のない高速な処理が実現されることになる。図2の(C)を用いて詳しく説明すると、メモリコントローラ12が周波数制御部13からアクティベート動作("A")のコマンド発行終了後に続く周波数情報 $Infq$ として50MHzであるとの情報をリード動作("R")のコマンド発行のタイミングの少なくとも1つ前のクロックの部分で受け取っており、その周波数情報

Infqに基づいてアクティベート動作("A")のコマンド発行用のクロックに続いて連続的に次のリード動作("R")のコマンド発行のタイミングが追従する。仮に本実施の形態のメモリ装置を用いない場合では、図2の(A)や(B)に示すように、1クロック分だけ離間してリード動作("R")

5 のコマンドの発行のタイミングが来ることになるが、本実施の形態のメモリ装置では場合、周波数制御部13からの周波数情報Infqによってアクティベート動作("A")のコマンド発行と次のリード動作("R")のコマンド発行のタイミングを連続的としても必要な動作が確保されることがメモリコントローラ12で既に認識されている。従って、連続的なコマンド発行を行ってメモリ11を最適に制御し、余分な待ち時間などを省いて全体的な高速化を図ることができる。

メモリコントローラは、少なくともアクティベート動作("A")のコマンド発行終了時から次のリード動作("R")のコマンド発行終了するまでの期間の周波数情報Infqに基づいて必要なウェイト時間であるRAS-CAS遅延時間Trcdを満たす場合にリード動作("R")のコマンドを発行してもよい。またはリード動作("R")のコマンド発行中の周波数が100MHzであると仮定して、リード動作("R")のコマンド発行前までの周波数情報Infqに基づき、必要なウェイト時間であるRAS-CAS遅延時間Trcdを満たす場合にリード動作("R")のコマンドを発行してもよい。

20 また同様に、メモリコントローラは、周波数情報Infqに基づいて、必要なウェイト時間を満たし、プリチャージ時間TrpやRASアクティベート時間Trasが最適に短くなるようにアクティベート動作("A")のコマンドやプリチャージ動作("P")のコマンドの発行を行う。

ここで必要な動作が確保されることがメモリコントローラ12で既に
25 認識される点についてさらに説明すると、図2の(C)では、2クロック目が周波数情報Infqによって50MHzと認識され、その周期が20ns

であることが計算されることになる。ここでRAS-CAS遅延時間 T_{rcd} は本SDRAMでは20 nsであり、クロックの周期が20 nsであれば確保されることが分かる。従って、メモリコントローラ12はアクティベート動作("A")のコマンド発行と次のリード動作("R")のコマンド発行を連続

5 クロックとする制御を行い、この連続的なコマンドの発行によって余分な待ち時間などを省き、全体的な高速化が実現される。

次に、周波数情報 Infq について図3及び図4を参照して更に詳しく説明する。周波数情報 Infq は、一例として可変クロック信号 CLKv の周波数を指標するデータビットとすることができる。周波数情報 Infq は、図3

10 の(A)に示すように、現在の動作クロック信号 CLKv の周波数を示すものであっても良く、或いは図3の(B)に示すように、動作クロック信号 CLKv の周波数の変化に先行して次のクロックの周波数を指標するようにしても良い。また、図示を省略するが、周波数の変化点だけを指標する信号であっても良く、さらに、未来の動作クロック信号 CLKv として次のクロックのものに限定されず、所定数の複数クロック後の周波数を指標するようにしても良い。

クロックの周波数を指標する方法としては、周波数情報 Infq としてコード化した情報を用い、それをデコードして利用することができる。図4Aと図4Bには、2種類のエンコード方法をテーブル形式で示すが、

20 エンコード方法はこれらのものに限定されず他の符号化方法を用いても良い。図4Aのエンコード方法は可変なクロック信号 CLKv の周波数に合わせてそれぞれ2ビットのデータを割り当てる例である。本例では、クロック信号 CLKv の周波数が10 MHzの時に{00}が割り当てられ、周波数が33 MHzの時に{01}が割り当てられ、周波数が50 MHzの時に{10}が割り当てられ、周波数が100 MHzの時に{11}が割り

25 当てられる。この方式では、周波数が10倍変化した場合、例えばクロ

ック信号の周波数が10MHzから100MHzに変化した場合でも、データ長は2ビットのままであり、デコードの際の処理や回路構成を複雑化せずに処理できることになる。

図4Bのエンコード方法は可変なクロック信号CLKvの周波数の逆数に
5 合わせたデータを割り当てる例である。クロック信号CLKvの周波数の逆数は各周波数における1クロック分の周期に対応する。本例では、クロック信号CLKvの周波数が10MHzの時に{10}が割り当てられ、周波数が33MHzの時に{3}が割り当てられ、周波数が50MHzの時に{2}が割り当てられ、周波数が100MHzの時に{1}が割り当てられる。
10 これらのデータは、データの表す値そのものが1クロック分の周期に対応することから、単純な乗算によって待ち時間などを形成することができる。すなわち、クロック信号CLKvの周波数が10MHz、33MHz、50MHz、100MHzの時には、クロック周期は100ns、30ns、20ns、10nsであり、これらは先のデータ値に10ns分を乗算することで
15 容易に算出できることになる。

次に、図5及び図6を参照しながら、本実施の形態のメモリ装置について更に詳しく説明する。図5にはメモリコントローラ30とメモリユニット31が示されており、本実施の形態においては、メモリコントローラ30に周波数情報Infqが入力されており、動作クロック信号の周波
20 数が変化した場合においても最適化された動作を行う。

まず、メモリコントローラ30は前述の如き周波数制御部からの周波数情報Infqが入力されて、所定のタイミングでコマンドの発行を行う。図6は信号とコマンドの対応表の一例であり、バー記号は簡単のために省略している。CS(チップセレクト)信号が"L(低レベル)"となった時
25 に、当該メモリユニット31が選択されている状態となる。前述の如きアクティベート動作"A"、リード動作"R"、プリチャージ動作"P"のそれぞれ

れコマンドは、RAS（ロウアドレスストロープ）、CAS（カラムアドレスストロープ）、WE（ライトイネーブル）の組み合わせによって形成される。具体的には、RAS信号が“L”レベル、CAS信号が“H”レベル、WE信号が“H”レベルの組み合わせでアクティベート動作のコマンドが構成され、

- 5 RAS信号が“H”レベル、CAS信号が“L”レベル、WE信号が“H”レベルの組み合わせでリード（読み出し）動作のコマンドが構成され、RAS信号が“H”レベル、CAS信号が“L”レベル、WE信号が“L”レベルの組み合わせでライト（書き込み）動作のコマンドが構成され、RAS信号が“L”レベル、CAS信号が“H”レベル、WE信号が“L”レベルの組み合わせでプリチャージ動作のコマンド
- 10 が構成される。従って、例えば前述のように、クロック信号CLK_vの周波数が変化する場合において、図2の（C）の第2番目のクロックのように、アクティベート動作のためのコマンド発行からリード動作のためのコマンド発行を連続的に行う場合では、RAS信号が“L”レベル、CAS信号が“H”レベルであったものをRAS信号が“H”レベル、CAS信号が“L”レベルにそれぞれシフトさせるように信号を送出すれば良く、このレベルシフトを
- 15 周波数制御部からの周波数情報Inf_qに基づく演算結果で行うようにしている。

メモリユニット31は、メモリバンク55と、各セルの充電された電荷を増幅させるセンスアンプ56や、その他の周辺回路から構成される。

- 20 メモリバンク55は、実際にデータを記憶するものであり、複数のセル55aから構成されている。各セル55aは、コンデンサ状の構成となっており、データに対応して、各セル55aを電荷が充電された状態とするか、または、充電されない状態とすることにより、各セル55aの充電状態のパターンによりデータを記憶するものである。今の場合、セル
- 25 セル55aは、1個のメモリバンク55に対して8×8個設けられている例を示しているが、当然のことながら、セル55aの数は、これ以外の

数であってもよい。

また、メモリバンク 55 上の行毎のセル 55 a の集まりは、特にページ 55 b と呼ばれる。さらに、メモリバンク 55 は、図示しないリフレッシュ制御回路のリフレッシュタイミング発生器よりリフレッシュ信号
5 が入力されるか、または、行セクタ 53 より読み出し信号が入力されると、信号が入力された行に対応するページ 55 b 単位で、各セル 55 a の電荷をセンスアンプ 56 に転送する。尚、図 3 中、メモリバンク 55 の縦横に表示された番号（0 乃至 7）は、メモリバンク 55 の各セル 55 a の垂直方向の位置を示す行、および、水平方向の位置を示す例の
10 それぞれの番号を示している。

センスアンプ 56 は、行セクタ 53 により指定されたページ 55 b のセル 55 a のデータが転送されてくると、それを受け取り、さらに、所定の電位まで増幅し、再び、元のページ 55 b に転送する。このとき、電荷が蓄積された状態で、列セクタ 57 より指定された列のデータを
15 読み出し信号が入力されると、センスアンプ 56 は、指定された列のデータを読み出して、出力アンプ 58 に出力する。

尚、図 5、センスアンプ 56 は、1 ページ 55 b 分のセル 55 a の電荷だけしか増幅できない構成となっている。このため、リフレッシュ処理、または、読み出し処理のいずれかの 1 ページ分の処理だけしか処理
20 できないので、セルフリフレッシュタイミング発生器より発生されるリフレッシュ信号、または、行セクタ 53 より発生される読み出し信号は、これらの処理が、いずれかの行に対して実行されるタイミングとなるように発生されるように図示しない CPU により制御される。また、センスアンプ 56 は、複数のページ（行）に対して、リフレッシュ処理、
25 または、読み出し処理を同時に並列処理できるよう複数に設けるようにしても良い。

列アドレスラッチ 5 2 は、メモリコントローラ 3 0 から入力される C A S 信号を受信すると、動作状態をオンにし、メモリバンク 5 5 上のセル 5 5 a の位置を示すアドレスの列の情報を列セクタ 5 7 に出力する。列セクタ 5 7 は、列アドレスラッチ 5 2 より入力された列に対応する
5 センスアップ 5 6 上のデータの読み出し信号をセンスアップ 5 6 に出力し、出力アンプ 5 8 に読み出させる。出力アンプ 5 8 は、入力された電荷をさらに倍増して、メモリコントローラ 3 0 を介して C P U にデータを出力する。

次に、C P U からの指令によりメモリコントローラ 3 0 がメモリバンク
10 5 5 のセル 5 5 a のデータを読み出す動作について説明する。例えば、C P U からの指令により、メモリコントローラ 3 0 が D R A M のメモリバンク 5 5 の 6 行 4 行目のセル 5 5 a のデータを読み出そうとする場合、C P U は、メモリコントローラ 3 0 に第 6 行第 4 列目のセル 5 5 a のデータを読み出すように指令する。メモリコントローラ 3 0 の制御信号発生部は、この指令を受け取ると、R A S 信号を行アドレスラッチ 5 1 に
15 出力した後、対応するアドレスの信号を行アドレスラッチ 5 1、および、列アドレスラッチ 5 2 に出力する。行アドレスラッチ 5 1 は、R A S 信号を制御信号発生部より受け取ると、その動作をオンにし、続けて受信されるアドレス情報の行の情報を行セクタ 5 3 に出力する。従って、
20 今の場合、「第 6 行目」という情報が、行セクタ 5 3 に出力される。

行セクタ 5 3 は、行アドレスラッチ 5 1 から入力された行の情報に基づいて、その行に対応するページ 5 5 b のセル 5 5 a の電荷をセンスアンプ 5 6 に転送させる読み出し信号を出力する。すると、今の場合、メモリバンク 5 5 上の図中実線で囲まれた第 6 行目のページ 5 5 b のセル 5 5 a の電荷が、センスアンプ 5 6 に出力される。センスアンプ 5 6
25 は、転送されてきた電荷の電荷量を所定の値まで増幅させる。

このとき、制御信号発生部は、C A S 信号を列アドレスラッチ 5 2 に出力すると共に、アドレス信号を行アドレスラッチ 5 1、および列アドレスラッチ 5 2 に出力する。列アドレスラッチ 5 2 は、C A S 信号を制御信号発生部より受け取ると、その動作をオンにし、続けて受信される
5 アドレス情報の列の情報を列セクタ 5 3 に出力する。従って、今の場合、「第 4 列目」という情報が、列セクタ 5 7 に出力される。

列セクタ 5 7 は、入力された列の情報に基づいて、その列に対応するセンスアンプ 5 6 で増幅された電荷を出力アンプ 5 8 に転送させる読み出し信号を出力する。すなわち、今の場合、センスアンプ 5 6 は、こ
10 の読み出し信号に基づいて、図中実線で囲まれた第 4 列目のセル 5 5 a の電荷が、出力アンプ 5 8 に出力される。出力アンプ 5 8 は、転送されてきた電荷の電荷量を転送に必要な所定の値まで増幅させた後、メモリコントローラ 3 0 を介して C P U にデータを出力する。尚、この後、センスアンプ 5 6 は、増幅した第 6 行目のページ 5 5 b の電荷を、再びメ
15 モリバンク 5 5 上の元のセル 5 5 a に戻す。従って、データの読み出しがなされた（今の場合、第 6 行目）ページ 5 5 b 上の 8 個のセル 5 5 a は、充電電荷量が元の状態（フルチャージ状態）に戻されている。

次に、図 7 を参照しながら、本発明のメモリ装置を搭載した PDA

(Personal Digital Assistance) の例について説明する。この PDA は図
20 示しない液晶表示部やタッチパネルなどに接続される PDA コア部 6 0 を有しており、この PDA コア部 6 0 には、所要の情報処理手順を進める CPU 6 1 やコプロセッサ 6 2 が配設されている。CPU 6 1 はバスライン 6 6 に接続されており、このバスライン 6 6 を介して低速な回路部への接続部となるバスブリッジ 6 7、高速な描画を実現するグラフィックエンジン
25 6 3、画像の取り込みを行うカメラとの接続のためのカメラインターフェイス 6 5、液晶表示部への信号の送受信を行う LCD (Liquid Crystal

Display) コントローラ 6 4 などが接続されている。

バスブリッジ 6 7 には、USB (Universal Serial Bus) コントローラ 8 1、I/O用のI/Oバス 8 2、タッチパネルインターフェイス 8 3、キーボード (key) やジョグダイヤル (JOG)、汎用I/Oポート (GPIO) 発光ダイオード (LED) などのインターフェイス 8 4 などの回路が接続され、更にクロック信号CLKvとその周波数情報Infqを出力する周波数制御部 7 6 もバスブリッジ 6 7 に接続されている。

前述のバスライン 6 6 には、更に情報記憶デバイスであるエンベデットDRAM (eDRAM) 7 1 及びDRAMコントローラ 7 2 が接続するように構成され、さらに外部メモリコントローラ 7 3 も接続する。DRAMコントローラ 7 2 は、エンベデットDRAM 7 1 に対する制御信号を送る回路部であり、特に本実施の形態では、例えば周波数制御部 7 6 から可変とされるクロック信号CLKvの周波数情報Infqが供給される。DRAMコントローラ 7 2 は周波数情報Infqを用いデコードなどの演算処理を行い、クロック信号 CLKvの周波数が変わったときでもエンベデットDRAM 7 1 の最適な処理を行う。これらエンベデットDRAM 7 1 とDRAMコントローラ 7 2 からなるメモリシステム 4 1 では、クロック信号CLKvの周波数が変わった際に、周波数情報Infqに応じた処理で余分な待ち時間を省いた高速な処理が可能である。

また、メモリシステム 4 1 だけではなく、外部メモリコントローラ 7 3 についても可変とされるクロック信号CLKvの周波数情報Infqを供給することができる。外部メモリコントローラ 7 3 は、外部メモリバスを介して接続するROM 7 4 やSDRAM 7 5 に対する制御信号を送出する回路である。この外部メモリコントローラ 7 3 でも周波数情報Infqが用いられてデコードなどの演算処理を行い、クロック信号CLKvの周波数が変わった際にROM 7 4 やSDRAM 7 5 での余分な待ち時間を省いた最適な処理を行う。

これら外部メモリコントローラ 7 3 からなるコントローラ部 4 2 と、ROM 7 4 及び SDRAM 7 5 からなるメモリ部 4 3 とでメモリシステムが構成され、前述のメモリシステム 4 1 と同様に高速な処理が実現される。なお、上述の構成例では、DRAMコントローラ 7 2 と外部メモリコントローラ 7 3 の両方が周波数情報 Infq を用いて余分な待ち時間を省いた高速な処理をするものとしているが、どちらか一方だけがそのような周波数情報 Infq を用いて高速化を図るものであっても良い。また、外部メモリコントローラ 7 3 に接続するメモリとして ROM 7 4 や SDRAM 7 5 は例示に過ぎず他のメモリや他の信号処理素子などであっても良い。更に、外部メモリコントローラ 7 3 と DRAMコントローラ 7 2 にそれぞれ供給される周波数情報 Infq も同じのものであっても良く、異なるクロック信号を用いる場合などでは異なる周波数情報 Infq を用いるようにしても良い。

次に、図 8 及び図 9 を参照して、本実施の形態のメモリ装置における情報処理方法についてその手順を追って説明する。このような情報処理方法は、例えばメモリーコントローラのハードウェアの動作の一例を示すものであり、更には、例えば、本発明の情報処理装置がマイコンなどの形式である場合には、所要の媒体形式で供給したプログラムを所定のコントローラに読み込んで実行することも可能である。

まず、主なプログラムの流れである図 8 の流れについて説明する前に、図 9 のサブルーチン # 1 の流れについて説明する。サブルーチン # 1 が開始した後では、手順 S 2 1 では既に該当する制限を満たしたか否かが判断される。該当する制限とは、例えばそのメモリの性能に依存する制限であるが、SDRAM の時間パラメータ {Tras, Trcd, Trp} が {40ns, 20ns, 20ns} であった場合には、コマンド発行の対象にかかる時間が既に経過したか否かが判断される。既に該当する制限を満たした場合 (YES) には、サブルーチン # 1 から図 8 のプログラムルーチンに戻る。

手順S 2 1 では既に該当する制限を満たしていない場合 (NO) には、手順S 2 2 に進み待ち時間レジスタがリセットされる。この待ち時間レジスタがリセットされた後、手順S 2 3 でレジスタの値に例えば次順のクロックの周波数状態の周期の値、或いはそれに比例した数値を加算する。ここで該加算処理に周波数情報Infqが用いられる。この加算処理によって、次順のクロックの周波数状態を反映した待ち時間レジスタが形成され、次の手順S 2 4 で該待ち時間レジスタの値がコマンド発行のための待ち時間を満たしたか否かが判断される。この手順S 2 4 で待ち時間レジスタの値がコマンド発行のための待ち時間を満たした場合 (YES) では、前述の手順S 2 1 と同様にサブルーチン# 1 から図 8 のプログラムルーチンに戻る。手順S 2 4 で待ち時間レジスタの値がコマンド発行のための待ち時間を満足していない場合 (NO) では、手順S 2 5 に進み、1クロック待つことになる。この1クロックの待機の後、手順S 2 3 に戻り、再びレジスタの値に例えば現在の周波数状態の周期の値、或いはそれに比例した数値を加算し、同様の処理を行う。

このように図 9 のサブルーチン# 1 の各手順からは制御すべきメモリの制限である時間パラメータとの比較が行われ、制限が満たされた状態では次のクロックまで待つことなく信号処理が進められることになる。従って、余分な待ち時間を省いた高速な処理が可能である。手順S 2 3 での処理には、現在の周波数状態の周期の値、或いはそれに比例した数値が加算され、該加算処理には周波数情報Infqが有効に用いられる。

図 8 はコントローラにおける主なプログラムの流れを示す図であり、プログラムの開始後、コントローラがCPUからリクエストを受信したものとする (手順S 1 1)。すると、手順S 1 2 で次に読む又は書くアドレスとDRAMの該当するセンスアンプの現在の状態が調査され、その結果に応じて、異なる処理を開始するようにジャンプがなされる。

手順S 1 2でセンスアンプに別のロウアドレスのデータが入っている
場合では、手順S 1 3に進みRASアクティベート時間 T_{ras} に関する処理が
進められる。このRASアクティベート時間 T_{ras} に関する処理は、先に図9
で示したサブルーチン# 1が用いられる。基本的に図9のサブルーチン
5 # 1は時間待ちのルーチンであり、所要時間の時間待ちが終了した時点
で手順S 1 4に進み、プリチャージのコマンドを発行する。DRAM側では、
プリチャージのコマンドを受け、センスアンプに存在しているデータを
所定の各メモリセルに充電する。

このプリチャージのコマンドを発行した後、手順S 1 5に進み、プリ
10 チャージ時間 T_{rp} に関する処理が進められる。このプリチャージ時間 T_{rp}
に関する処理にも先に図9で示したサブルーチン# 1が用いられる。同
様にサブルーチン# 1は時間待ちのルーチンであり、所要時間の時間待
ちが終了した時点で手順S 1 6に進み、アクティベートのコマンドを発
行する。DRAM側では、アクティベートのコマンドを受け、所定のアドレ
15 スにかかる各メモリセルのデータをセンスアンプに読み出し増幅する。

このアクティベートのコマンドを発行した後、手順S 1 7に進み、
RAS-CAS遅延時間 T_{rcd} に関する処理が進められる。このRAS-CAS遅延時間
 T_{rcd} に関する処理にも先に図9で示したサブルーチン# 1が用いられる。
サブルーチン# 1は時間待ちのルーチンであることから、所要時間の時
20 間待ちが終了した時点で手順S 1 8に進み、リード若しくはライトのコ
マンドを発行する。DRAM側では、リード若しくはライトのコマンドを受
け、所定のアドレスにかかる各メモリセルのデータをセンスアンプのノ
ードから読み出し或いはセンスアンプのノードに対して書き込みする。
この信号が読み出され或いは書き込まれることになる。続いて、手順S
25 1 9に進み、次のリクエストの待機状態に入る。

手順S 1 2でセンスアンプにデータが入っていない場合では、プリチ

チャージ動作が不要となる。従って、手順 S 1 3 がスキップされ、プリチャージの発行（手順 S 1 4）も省略される。センスアンプにデータが入っていない場合、手順 S 1 2 から手順 S 1 5 に進み、そこからプリチャージ時間 T_{rp} に関する処理と、RAS-CAS 遅延時間 T_{rcd} に関する処理とが先に説明した時間待ちのルーチンであるサブルーチン # 1 を用いてそれぞれ進められる。最終的に、手順 S 1 9 に進み、次のリクエストの待機状態に入ることは、手順 S 1 2 でセンスアンプに別のロウアドレスのデータが入っている場合と同様である。

最後に、手順 S 1 2 でセンスアンプに入っているデータのロウアドレスと当該リード又はライトの動作にかかるデータのロウアドレスが一致する場合、プリチャージ動作のみならずアクティベート動作も不要となる。従って、手順 S 1 3 から手順 S 1 6 まではスキップされ、プリチャージの発行（手順 S 1 4）及びアクティベートの発行（手順 S 1 6）も省略される。従って、手順 S 1 2 から手順 S 1 7 に進み、RAS-CAS 遅延時間 T_{rcd} に関する処理が時間待ちのルーチンであるサブルーチン # 1 を用いてそれぞれ進められる。なお、最終的に手順 S 1 9 に進み、次のリクエストの待機状態に入ることは、手順 S 1 2 でセンスアンプに別のロウアドレスのデータが入っている場合と同様である。

このように本実施の形態の情報処理装置では、リード又はライトにかかるアドレスと、センスアンプに残っているデータのアドレスとの比較が行われ、一致する場合はそのデータがそのまま利用されることから、高速な読み出しや書き込みが実現されることになる。また、コマンド発行のタイミング制御には、図 9 で示した時間待ちプログラムが利用されることになり、その時間待ちの計算には周波数情報 $Infq$ が用いられることから、余分な待ち時間を省いた高速な処理が実現されることになる。また、換言すれば、高速動作を実現しながらも、待機時やスリープモー

ド時などの期間では、ゆっくりとしたクロックでも確実に動作することになり、逆に全体として消費電力を十分に抑えることができることになる。なお、上述した一連の処理はハードウェアで実行させることも可能であるが、ソフトウェアにより実行させることも可能である。

- 5 なお、上述の実施の形態においては、主にメモリなどの記憶素子のコントローラに周波数情報 $Infq$ を読み取り制御を調整する機構を設けたものとして説明しているが、これに限定されず、他の信号処理素子や回路などに可変クロックが供給される場合であっても良く、その可変クロック信号の周波数情報を演算処理することで、必要な待ち時間の計算など
- 10 により最適化された情報処理を行う回路であっても良い。

- また、上述の実施の形態においては、次のクロックの周波数状態に基づいて待ち時間の計算などの処理が行われているが、図 3 に示すように数回先のクロックの周波数情報を既に得ている場合には、予め演算するように構成しても良い。すなわち、図 10 A に示すように、 n 番目のクロックの時点で $n+2$ 番目のクロックの周波数情報（例えば 20 ns ）が得
- 15 られる場合には、その $n+2$ 番目のクロックの周波数情報を用いて演算可能である。また、上述の図 8、図 9 のフローチャートでは、次順のクロック時の可否を現在の周波数情報を用いて 1 つ前のクロック時に判断するようにしているが、これに限らず、次々順のクロック（ $n+2$ ）時の
- 20 可否を次順のクロック（ $n+1$ ）に対する周波数情報を用いて 2 つ前のクロック時に予め判断するようにしても良い。例えば図 10 B に示すように、 $T_{\text{ras}} = 40\text{ ns}$ の場合に、この期間を満たすか否かの判断を次順のクロック（ $n+1$ ）に対する周波数情報を用いて 2 つ前のクロック時（ n 番目のクロック）に予め判断することも可能である。また、次順のクロ
- 25 ックの可否を次順のクロックに対する周波数情報を用いて予め判断するようにしても良い。更には、 $(m-1)$ （ m は自然数）クロック先のリク

エストを予め受信でき、かつ $(m-1)$ クロック先の周波数情報をも予め得ることができるような場合には、数クロック前に判断するようにしても良い。

更に、上述の実施の形態においては、周波数情報 Inf_q を取得する構成部を周波数制御部として説明したが、これ限らず、CPUなどの周波数を変化させる指令を出す処理部から直接周波数情報 Inf_q を取得するようにしても良い。また、本実施の形態が搭載される電子機器もPDAやパーソナルコンピュータに限定されず、プリンターやファクシミリ、パソコン用周辺機器、電話機、テレビジョン受像機、画像表示装置、通信機器、携帯電話機、カメラ、ラジオ、オーディオビデオ機器、扇風機、冷蔵庫、ヘアドライヤー、アイロン、ポット、掃除機、炊飯器、電磁調理器、照明器具、ゲーム機やラジコンカーなどの玩具、電動工具、医療機器、測定機器、車両搭載用機器、事務機器、健康美容器具、電子制御型ロボット、衣類型電子機器、各種電動機器、車両、船舶、航空機などの輸送用機械、家庭用若しくは事業用発電装置、その他の用途に使用できる種々の電子機器に搭載可能である。

産業上の利用可能性

本発明の情報処理装置によれば、クロック周波数の変化時に周波数情報 Inf_q が時間待ちの計算などの演算処理に用いられる。このため余分な待ち時間を省いた極めて高速な処理が実現されることになり、換言すれば、高速動作を実現しながらも、待機時やスリープモード時などの期間では逆に消費電力を抑えることができることになる。従って、PDAやパーソナルコンピュータに使用した場合では、高速動作と低消費電力の双方を実現できることになる。

請 求 の 範 囲

1. 周波数が可変とされる同期クロックの周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作用のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングで情報処理を行う情報処理部とを有することを特徴とする情報処理装置。
5
2. 前記周波数情報演算部における同期クロックの周波数情報についての前記演算処理は、前記同期クロックが供給された状態における情報処理のタイミングを得るための時間を算出する処理であることを特徴とする請求項1記載の情報処理装置。
10
3. 前記同期クロックの周波数情報は、現在若しくは時間的に後となる周波数情報であることを特徴とする請求項1記載の情報処理装置。
4. 前記周波数情報の演算処理はコード化された前記周波数情報をデコードすることで行われることを特徴とする請求項1記載の情報処理装置。
15
5. 前記周波数情報の演算処理は、前記周波数情報の周波数に対応した信号周期を加算処理することで行われることを特徴とする請求項1記載の情報処理装置。
- 20 6. 周波数が可変とされる同期クロックの周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作用のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングを利用して情報記憶動作を行う情報記憶部とを有することを特徴とする情報記憶装置。
- 25 7. 前記情報記憶部は、電荷を蓄積することでデータを格納できる複数のメモリセルを有し、前記情報記憶動作は前記メモリセルの一部から

増幅器までの電荷の取出し動作、前記増幅器についての入出力動作、及び前記増幅器から前記メモリセルに対して電荷を蓄積させる動作の少なくとも1つを含むことを特徴とする請求項6記載の情報記憶装置。

8. 前記メモリセルはメモリ本体部に形成され、前記周波数情報演算部は、前記メモリ本体部を制御するメモリ制御部に形成されることを特徴とする請求項7記載の情報記憶装置。

9. 前記周波数情報の演算処理はコード化された前記周波数情報をデコードすることで行われることを特徴とする請求項6記載の情報記憶装置。

10 10. 前記周波数情報の演算処理は、前記周波数情報の周波数に対応した信号周期を加算処理することで行われることを特徴とする請求項6記載の情報記憶装置。

11. 周波数が可変とされる同期クロックの周波数情報を発生させる周波数制御部と、前記周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作用のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングを利用して情報記憶動作を行う情報記憶部とを有することを特徴とする情報記憶装置。

12. 前記周波数制御部は、中央演算処理装置から指令に基づき同期クロックの周波数を変化させ、その同期クロックの現在又は時間的に後となる周波数についての周波数情報を出力することを特徴とする請求項11記載の情報記憶装置。

13. 周波数が可変とされる同期クロックの周波数情報を演算処理する手順と、情報処理を行う情報処理部に対して前記同期クロックを動作用のクロックとして供給すると共に前記演算処理された結果に応じたタイミングで前記情報処理を進める手順とを有することを特徴とする情報処理方法。

1 4. 前記情報処理は、電荷を蓄積することでデータを格納できる複数のメモリセルに対する情報記憶動作を含み、該メモリセルの一部から増幅器までの電荷の取出し動作、前記増幅器についての入出力動作、及び前記増幅器から前記メモリセルに対して電荷を蓄積させる動作の少なくとも1つを含むことを特徴とする請求項13記載の情報処理方法。

1 5. 周波数が可変とされる同期クロックの周波数情報を演算処理する手順と、情報処理を行う情報処理部に対して前記同期クロックを動作用のクロックとして供給すると共に前記演算処理された結果に応じたタイミングで前記情報処理を進める手順とを実行することを特徴とする情報処理プログラム。

1 6. 前記情報処理は、電荷を蓄積することでデータを格納できる複数のメモリセルに対する情報記憶動作を含み、該メモリセルの一部から増幅器までの電荷の取出し動作、前記増幅器についての入出力動作、及び前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷の蓄積動作の少なくとも1つを含むことを特徴とする請求項13記載の情報処理プログラム。

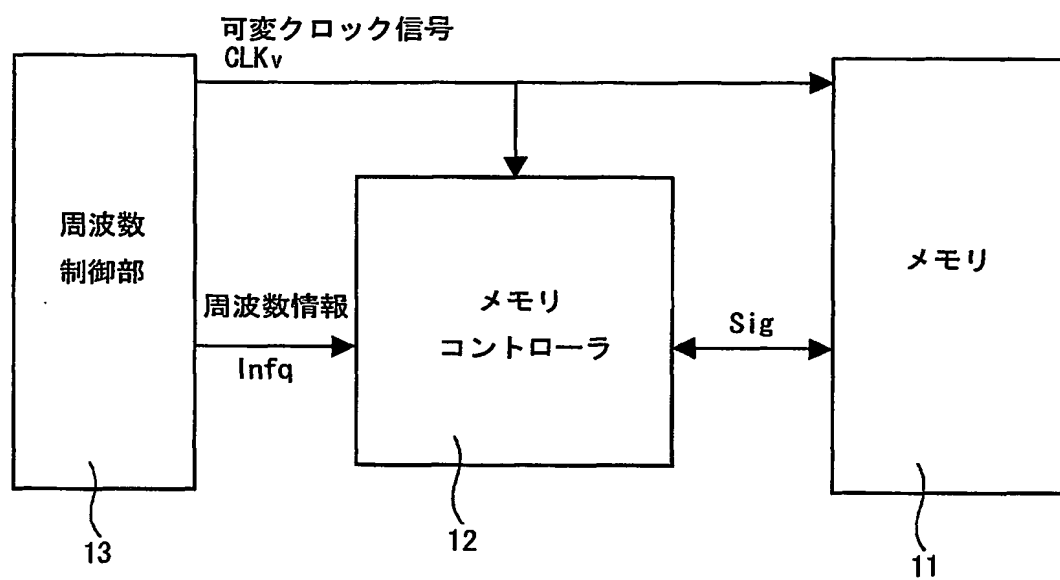


Fig.1

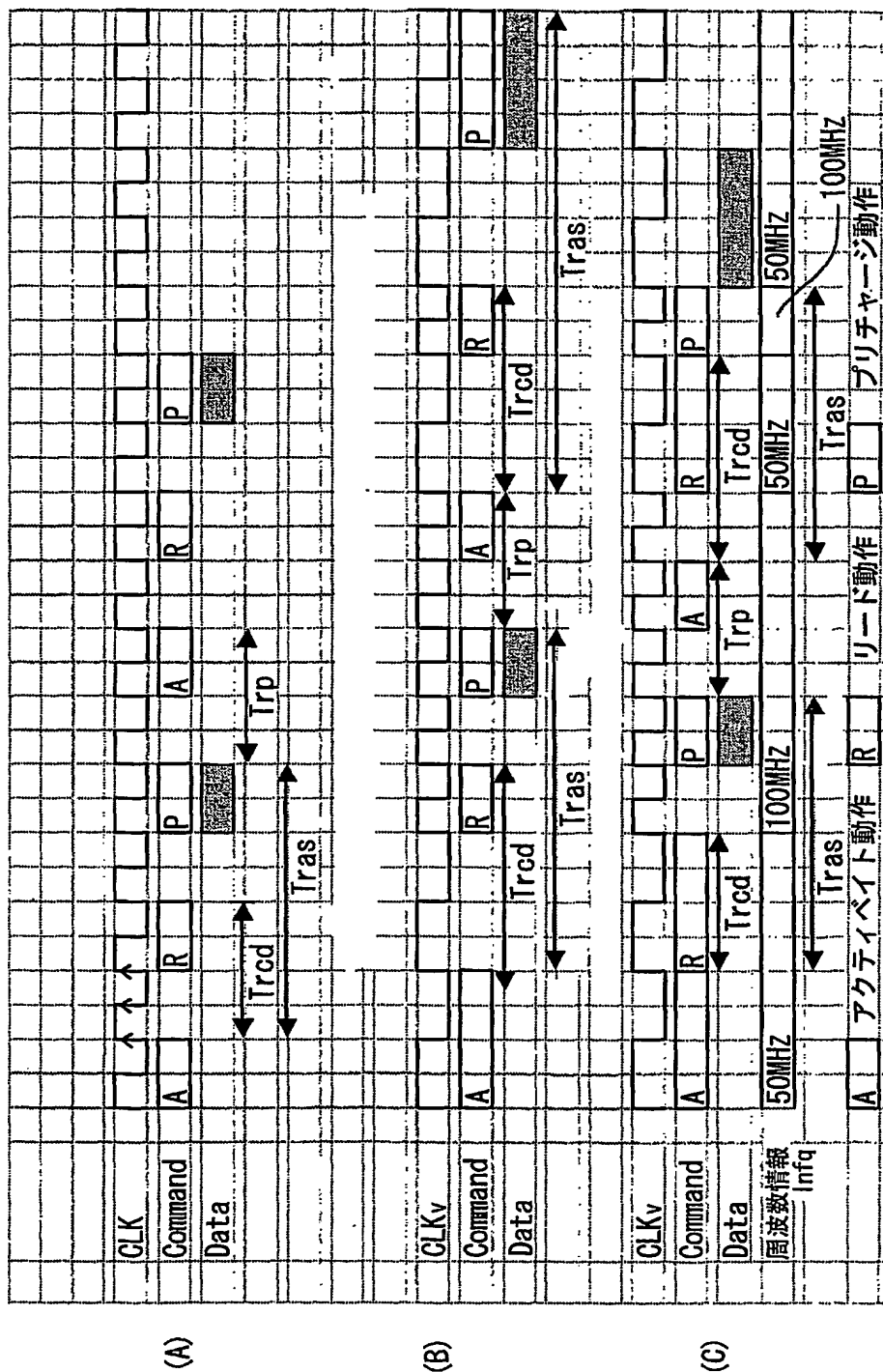


Fig. 2

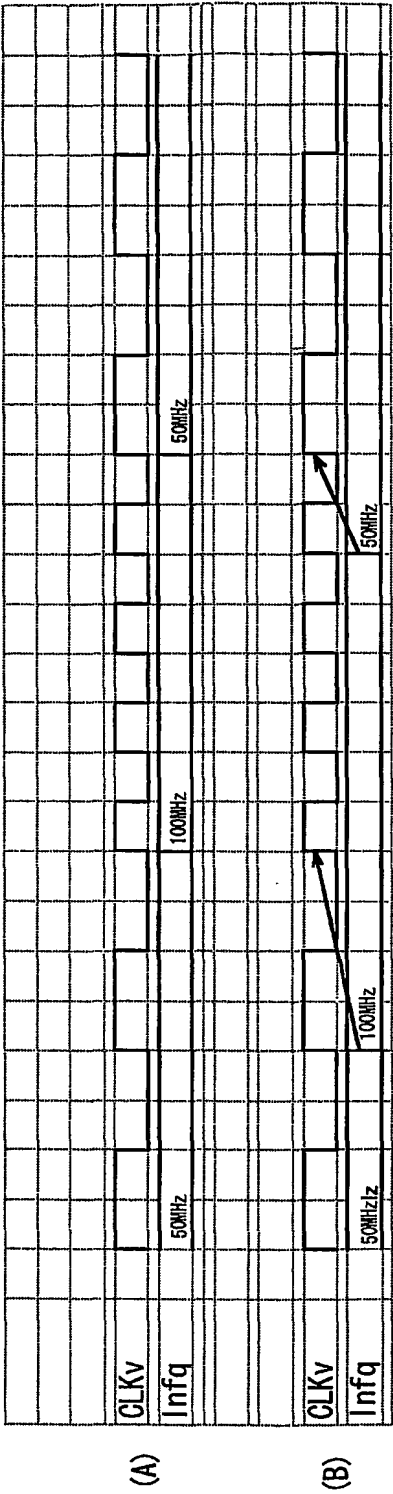


Fig.3

Fig.4A

Infq	[1:0]	CLKv
00		10 MHZ
01		33 MHZ
10		50 MHZ
11		100 MHZ

Fig.4B

Infq	[3:0]	CLKv
10		10 MHZ
3		33 MHZ
2		50 MHZ
1		100 MHZ

5/10

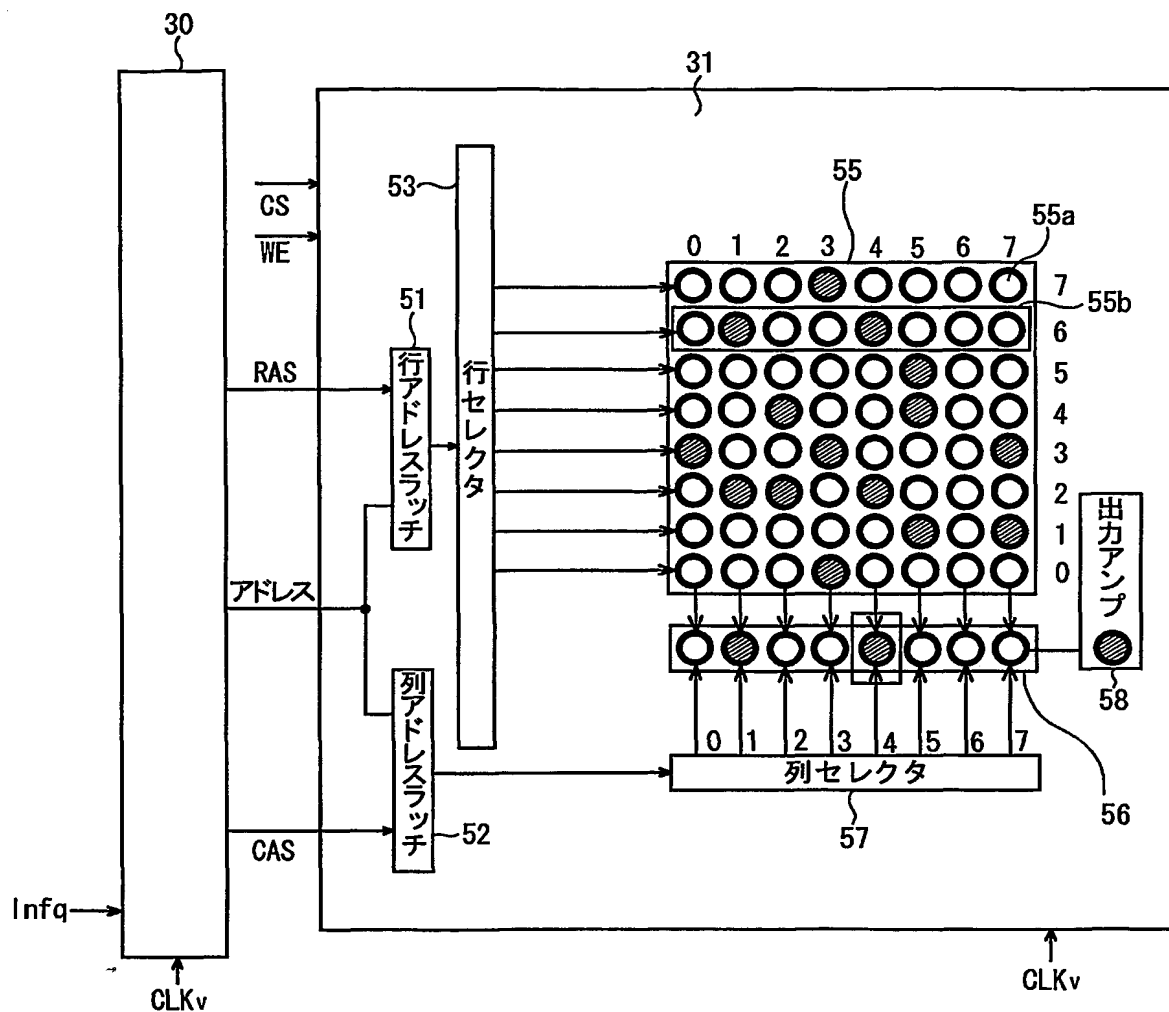


Fig.5

6/10

コマンド	動作	CS	RAS	CAS	WE	ローアドレス	バンク	コラムアドレス
DESL	動作	H	X	X	X	X	X	X
NOP	非動作	L	H	H	H	X	X	X
READ	命令なし	L	H	L	H	X	V	V
WRITE	リード	L	H	L	L	X	V	V
ACT	ライト	L	L	H	H	V	V	X
PRE	アクティベート	L	L	H	L	V	V	X
PALL	プリチャージ	L	L	H	L	X	X	X
REF	全バンクプリチャージ	L	L	L	H	X	X	X
MRS	リフレッシュ	L	L	L	L	*	*	*
BST	モードセット	L	H	H	L	X	X	X
	バーストストップ	L	H	H	L	X	X	X

記号
L H X V *

意味
0 1
任意
有効
一部有効

(V+は2倍の情報が必要なケースもあり)

Fig.6

7/10

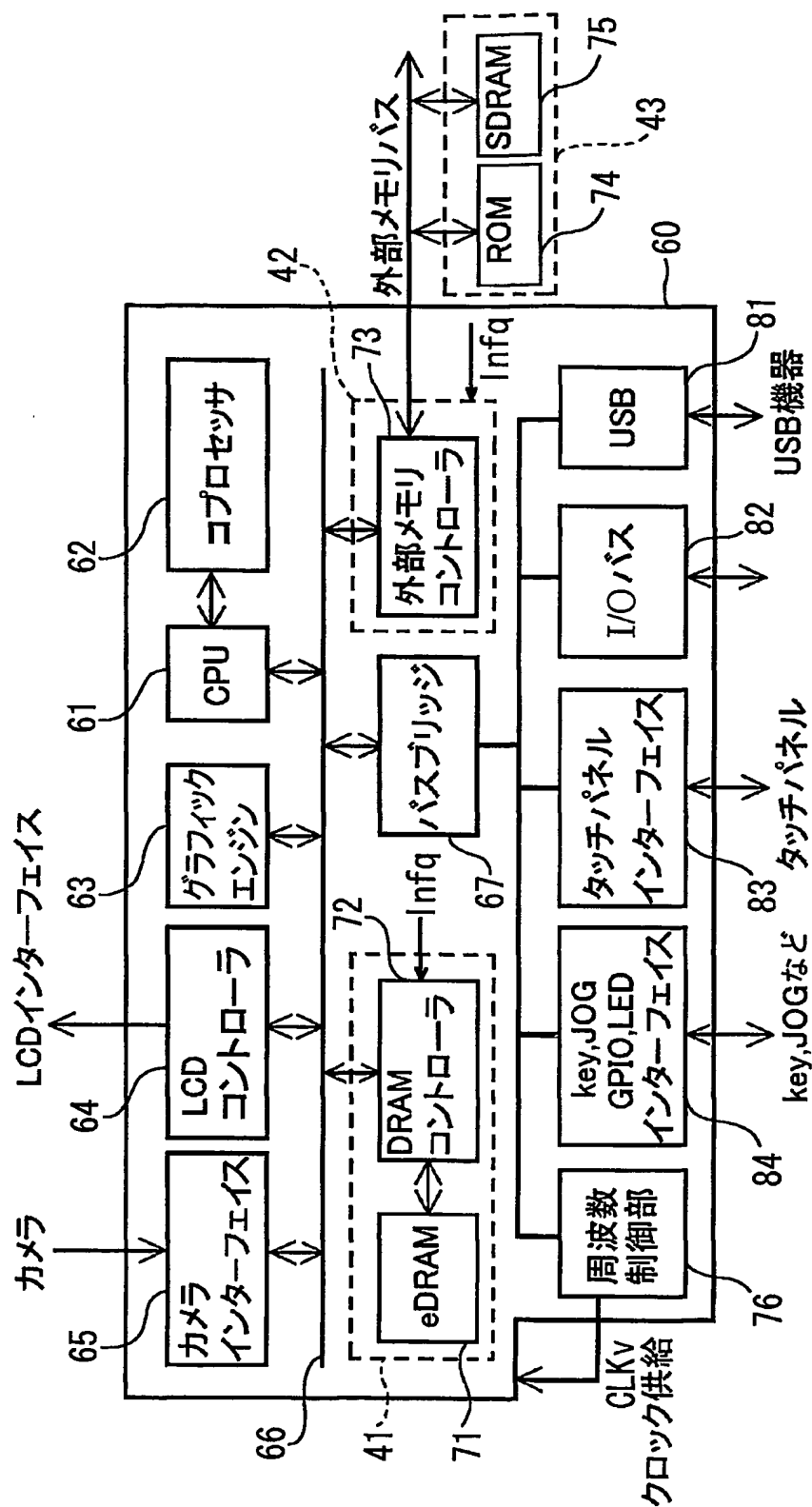


Fig.7

8/10

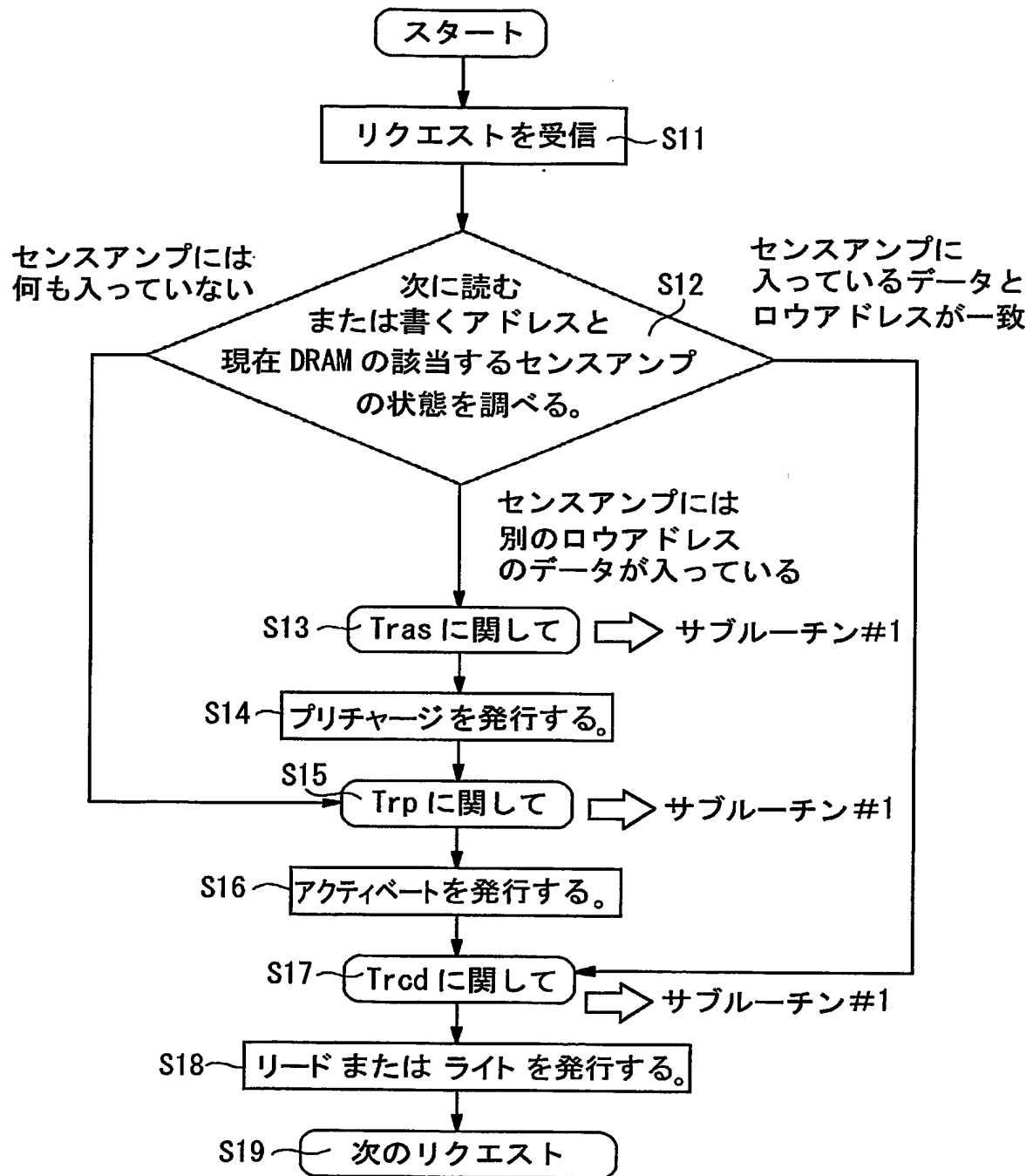


Fig.8

9/10

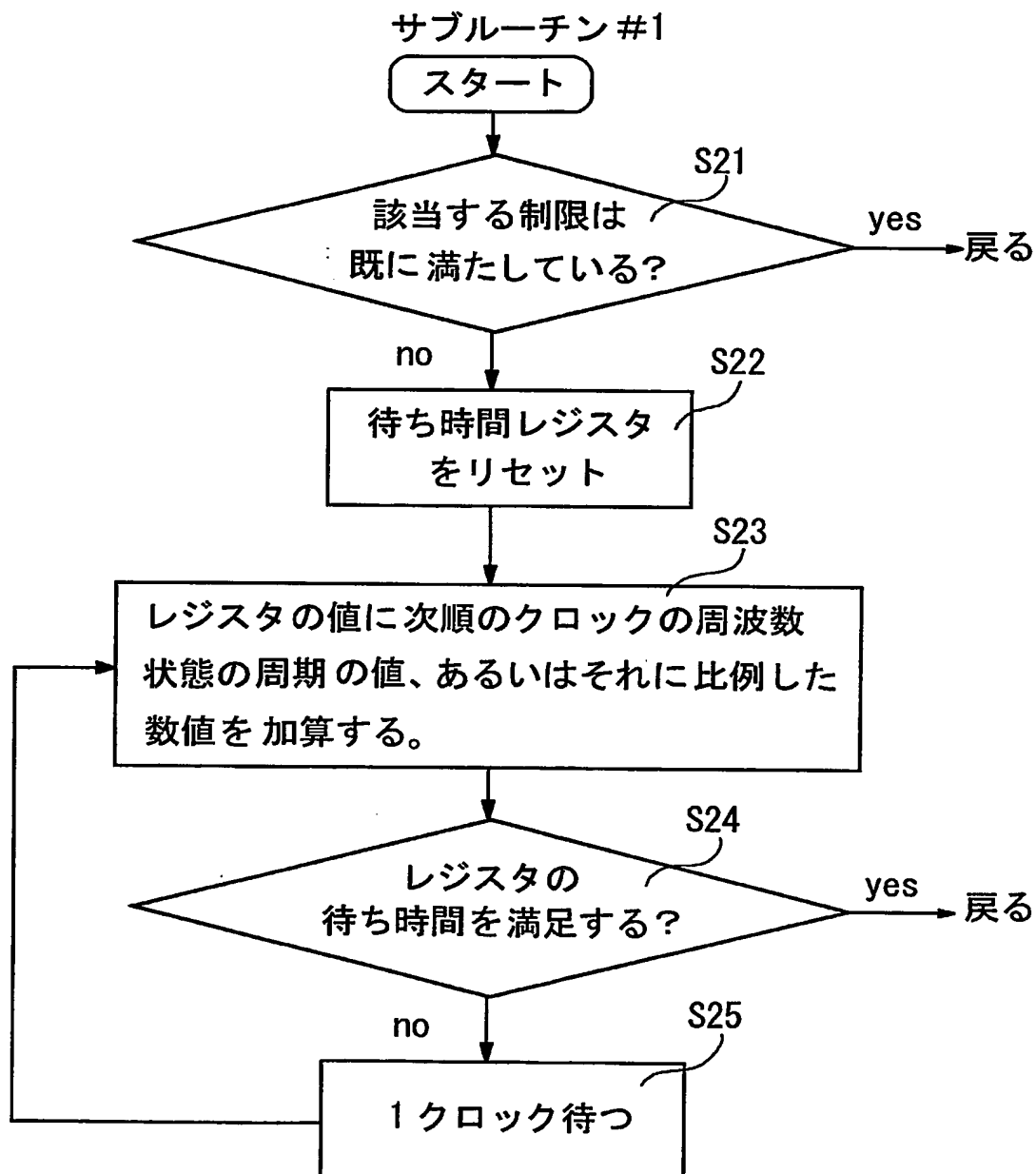


Fig.9

10/10

Fig.10A

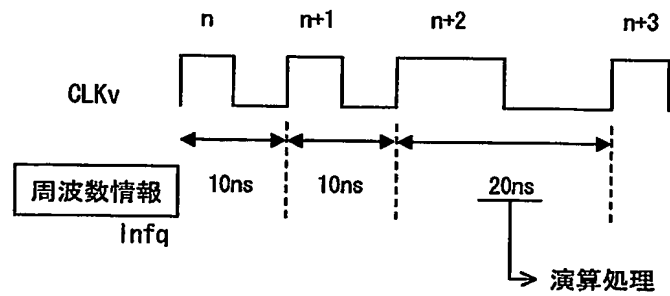
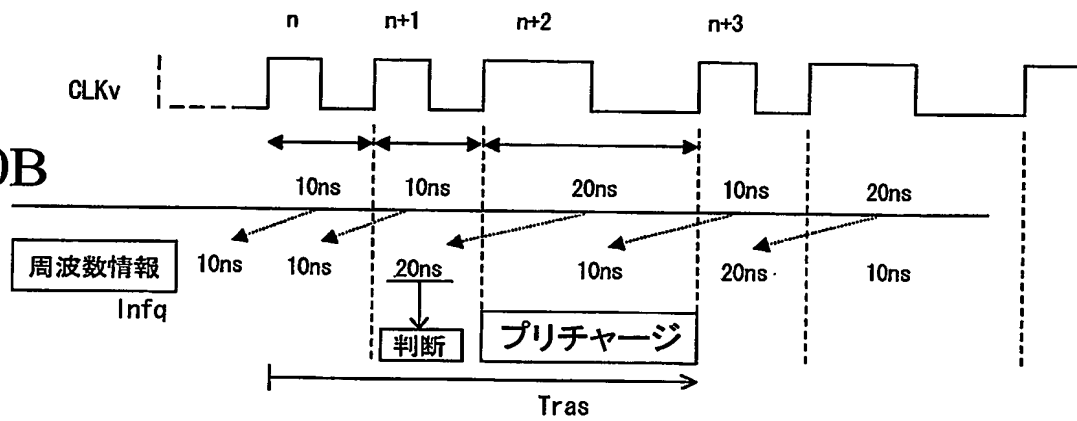


Fig.10B



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/12824

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F12/00, G06F1/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F12/00, G06F1/04-1/14, G06F13/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2-259954 A (NEC Corp.), 22 October, 1990 (22.10.90), Full text; Figs. 1 to 3 (Family: none)	1-4, 13, 15 5-12, 14, 16
X Y	JP 2000-285071 A (Toshiba Corp.), 13 October, 2000 (13.10.00), Full text; Figs. 1 to 7 (Family: none)	1-4, 13, 15 5-12, 14, 16
Y	JP 2002-526861 A (International Business Machines Corp.), 20 August, 2002 (20.08.02), Full text; Figs. 1 to 11 & WO 00/20978 A1 & US 6334174 B1 & EP 1116123 A1	5-12, 14, 16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
06 November, 2003 (06.11.03)

Date of mailing of the international search report
18 November, 2003 (18.11.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12824

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-85684 A (Oki Electric Industry Co., Ltd.), 30 March, 1999 (30.03.99), Full text; Figs. 1 to 2 (Family: none)	5, 10
A	JP 7-160571 A (Hitachi, Ltd., Kabushiki Kaisha Hitachi Asahi Electronics, Hitachi Chubu Software Kabushiki Kaisha), 23 June, 1995 (23.06.95), Full text; Figs. 1 to 6 (Family: none)	1-16
A	JP 6-19776 A (Fujitsu Ltd.), 28 January, 1994 (28.01.94), Full text; Figs. 1 to 8 (Family: none)	1-16
A	JP 9-319651 A (Matsushita Electric Industrial Co., Ltd.), 12 December, 1997 (12.12.97), Full text; Figs. 1 to 6 & US 6023776 A & EP 797152 A1	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F12/00
G06F1/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F12/00
G06F1/04- 1/14
G06F13/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2-259954 A (日本電気株式会社) 1990. 1 0. 22, 全文, 第1-3図 (ファミリーなし)	1-4, 13, 15
Y		5-12, 14, 16
X	JP 2000-285071 A (株式会社東芝) 2000. 1 0. 13, 全文, 第1-7図 (ファミリーなし)	1-4, 13, 15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

06. 11. 03

国際調査報告の発送日

18.11.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀江 義隆



5N 3135

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y		5-12, 14, 16
Y	JP 2002-526861 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2002. 08. 20, 全文, 第1-11図 & WO 00/20978 A1 & US 6334174 B1 & EP 1116123 A1	5-12, 14, 16
Y	JP 11-85684 A (沖電気工業株式会社), 1999. 03. 30, 全文, 第1-2図 (ファミリーなし)	5, 10
A	JP 7-160571 A (株式会社日立製作所, 株式会社日立旭エレクトロニクス, 日立中部ソフトウェア株式会社), 1995. 06. 23, 全文, 第1-6図 (ファミリーなし)	1-16
A	JP 6-19776 A (富士通株式会社), 1994. 01. 28, 全文, 第1-8図 (ファミリーなし)	1-16
A	JP 9-319651 A (松下電器産業株式会社), 1997. 12. 12, 全文, 第1-6図 & US 6023776 A & EP 797152 A1	1-16